

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-064749

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

H04N 5/335

H01L 27/146

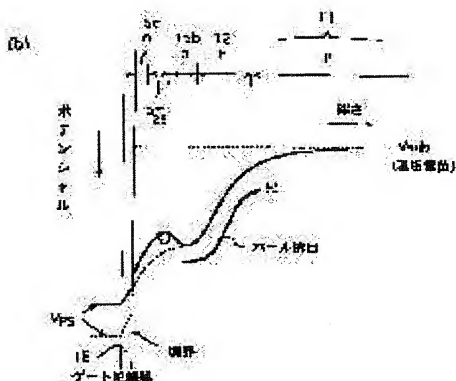
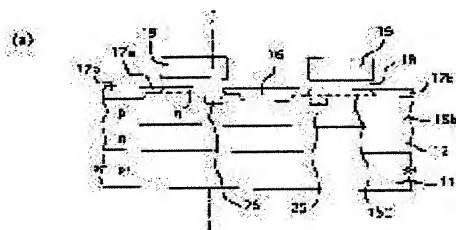
H01L 31/10

H04N 1/028

(21)Application number : 2000-245937 (71)Applicant : INNOTECH CORP

(22)Date of filing : 14.08.2000 (72)Inventor : MITSUIDA TAKASHI

(54) DRIVE METHOD FOR SOLID-STATE IMAGE PICKUP DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a drive method for a solid-state image pickup device where a threshold voltage is modulated uniformly over the entire channel area of an insulation gate field effect transistor for detecting an optical signal.

SOLUTION: The drive method for the solid-state image pickup device, where an optical signal is read by repeating a storage period in which optically generated charges from a light receiving diode receiving light emission are stored in a carrier pocket 25; a read period in which the optical signal on the basis of the optically generated charges stored

in the carrier pocket 25 is read; and an initializing period in which the optically

generated charges left in the carrier pocket 25 are discharged in this order, has a voltage applied to a gate electrode 19 of the insulation gate field effect transistor for detecting the optical signal, so that most of the optically generated charges stored in the carrier pocket 25 is discharged from the carrier pocket for the initializing period, and a prescribed amount of the charges is left in the carrier pocket 25.

LEGAL STATUS

[Date of request for examination] 12.11.2003

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the unit pixel equipped with the insulated gate field effect transistor for lightwave signal detection which adjoins light-receiving diode and this light-receiving diode -- having -- the part of said insulated gate field effect transistor -- a well -- with the drain field prepared in the field The channel field between a source field, and said drain field and said source field, said near source field -- it is -- the well under a channel field -- it was prepared in the field -- It has the high concentration buried layer which accumulates the optical generating charge generated by optical exposure for said light-receiving diode. The solid state camera which has the solid state image sensor which accumulates said optical generating charge in said high concentration buried layer, is made to modulate threshold voltage, and detects a lightwave signal is used. The are recording period which stores up the optical generating charge generated by optical exposure in said high concentration buried layer for said light-receiving diode, The read-out period which reads the lightwave signal based on the optical generating charge accumulated in said high concentration buried layer, Are the drive approach of the solid state camera which repeats the initialization period which discharges the optical generating charge which remains to said high concentration buried layer in this order, and reads a lightwave signal, and it sets at said initialization period. The drive approach of the solid state camera characterized by impressing an electrical potential difference to the gate electrode of said insulated gate field effect transistor for lightwave signal detection so that most may be discharged out of a high concentration buried layer among the optical generating charges accumulated in said high concentration buried layer and the specified quantity may remain in said high concentration buried layer.

[Claim 2] said well by which the gate electrode of said insulated gate field effect transistor has the shape of a ring, and said source field was surrounded with said gate electrode -- it is formed in the surface of a field and said drain field surrounds said gate electrode -- as -- said well -- the drive approach of the solid state camera according to claim 1 characterized by being formed in the surface of a field.

[Claim 3] The neighborhood of the source field in which said high concentration buried layer was formed is the drive approach of the solid state camera according to claim 1 or 2

characterized by for the direction of channel length from said drain field to said source field being a field a part, and being said source field side.

[Claim 4] Said high concentration buried layer is the drive approach of claim 1 characterized by being formed over the channel width direction whole region thru/or a solid state camera given in any 1 of 3.

[Claim 5] The gate electrode of said insulated gate field effect transistor and its circumference are the drive approach of claim 1 characterized by being shaded thru/or a solid state camera given in any 1 of 4.

[Claim 6] Said solid state camera is the drive approach of claim 1 characterized by to have further the vertical-scanning signal drive scanning circuit which supplies a scan signal to the gate electrode of said insulated gate field effect transistor for lightwave-signal detection, the drain electrical-potential-difference drive scanning circuit which supplies a drain electrical potential difference to the drain field of said insulated gate field effect transistor, the horizontal scanning signal input scanning circuit which supplies the scan signal which reads the electrical potential difference of the source field of said insulated gate field effect transistor, and the video-signal output terminal which output said lightwave signal thru/or a solid state camera given in any 1 of 5.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the drive approach of the solid state camera using the MOS mold image sensors of a threshold voltage modulation technique used for a video camera, an electronic camera, an image input camera, a scanner, or facsimile in more detail about the drive approach of a solid state camera.

[0002]

[Description of the Prior Art] Since semi-conductor image sensors, such as CCD mold image sensors and MOS mold image sensors, are excellent in mass-production nature, they are applied to almost all images input device equipment with progress of the detailed-sized technique of a pattern. MOS mold image sensors are improved taking advantage of the advantage that power consumption is small and can create a sensor component and a circumference circuit element by the same CMOS technology especially in recent years compared with CCD mold image sensors.

[0003] In view of the trend of such a world, the applicant for this patent improved MOS mold image sensors, performed patent application (Japanese Patent Application No. No. 186453 [ten to]) about the sensor component which has the carrier pocket (high concentration buried layer) 25 under the channel field of MOS transistor 112 for lightwave signal detection,

and has acquired the patent (registration number No. 2935492). These MOS mold image sensors have circuitry shown in patent (registration number No. 2935492) drawing 8 (a), and in that actuation, as shown in drawing 8 (b) of said patent, they pass through an initialization period—recording period—read-out period. Discharge and initialize the optical generating electron hole which remains in the hole pocket 25 by electric field at an initialization period, and make an are recording period produce an optical generating electron hole by optical exposure, it is made to accumulate in the hole pocket 25, and the lightwave signal which is proportional to the accumulated dose of an optical generating electron hole at a read-out period is detected.

[0004] Moreover, although the applicant for this patent is performing various new applications in relation to invention concerning this patent (registration number No. 2935492) According to them, as the dotted line of drawing 1 of this application shows, it sets at an initialization period. By making the potential (V_{pg} (VSCAN)), drain potential (V_{pd}), and source potential (V_{ps}) of a gate electrode into high potential, and adding high electric field from the front face of MOS transistor 112 for lightwave signal detection He sweeps out completely the optical generating charge accumulated in the carrier pocket 25 from the carrier pocket 25, and is trying not to overlap the lightwave signal corresponding to the optical generating charge newly accumulated on the noise by residual charge.

[0005]

[Problem(s) to be Solved by the Invention] By the way, in the solid state image sensor which has the insulated gate field effect transistor 112 for photodetection of the above-mentioned solid state camera, it has the carrier pocket 25 of the shape of a ring to which the concentration of an acceptor is high rather than the periphery. and the well containing a carrier pocket -- where a field is depletion-ized, an electron hole is injected into the carrier pocket 25, the negative charge which consists of an acceptor in the carrier pocket 25 is carbonated, and threshold voltage is modulated.

[0006] With such structure, when the acceptor concentration and the pattern configuration in the carrier pocket 25 are not uniform, potential does not become uniform over the whole region of the carrier pocket 25, but the height of potential arises in a part. In such a case, to the hole injection of a low, an electron hole is unevenly distributed in the low place of potential, and the surface potential in a channel field also varies corresponding to this maldistribution. For this reason, the modulation of threshold voltage becomes less uniform in a channel field, are recording distribution of a hole is not reflected, but linearity is lost, and component current distribution has the problem that the so-called black crushing of an image will arise.

[0007] This invention is created in view of the trouble of the above-mentioned conventional technique, and offers the drive approach of a solid state camera that threshold voltage can be uniformly modulated over the channel field whole region of the insulated gate field effect transistor for photodetection.

[0008]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, as this invention relates to the drive approach of a solid state camera and it is shown in drawing 6 and drawing 7 (a) as a basic configuration of the solid state camera used for that drive approach It has each unit pixel 101 containing the insulated gate field effect transistor 112 for lightwave signal detection (MOS transistor) which adjoins the light-receiving diode 111 and the light-receiving diode 111. the well which connected the light-receiving diode 111 and MOS transistor 112 mutually in each unit pixel 101 -- field 15a -- it forms in 15b -- having -- the well of the periphery of the source field of MOS transistor 112 -- it is characterized by having the high concentration buried layer (carrier pocket) 25 which accumulates an optical generating charge into field 15b.

[0009] Especially, the configuration of the high concentration buried layer 25 has the shape of a ring corresponding to the configuration of the gate electrode 19. In the drive approach of the solid state camera of this invention The are recording period which stores up the optical generating charge generated by optical exposure in the high concentration buried layer 25 using the above-mentioned solid state camera as shown in drawing 1 , The read-out period which reads the lightwave signal based on the optical generating charge accumulated in the high concentration buried layer 25, Are the drive approach of the solid state camera which repeats the initialization period which discharges the optical generating charge which remains to the high concentration buried layer 25 in this order, and reads a lightwave signal, and it sets at an initialization period. Most is discharged out of the high concentration buried layer 25 among the optical generating charges accumulated in the high concentration buried layer 25, and it is characterized by impressing an electrical potential difference to the gate electrode 19 of the insulated gate field effect transistor 112 for lightwave signal detection so that the specified quantity may remain in the high concentration buried layer 25.

[0010] Below, operation and effectiveness of being done so by the above-mentioned configuration are explained. by the way -- the above-mentioned solid state camera -- a well -- impressing a forward high electrical potential difference to the gate electrode 19 in an initialization period, when field 15b and the high concentration buried layer 25 are p molds -- a well -- the potential by the side of a field 15b front face is raised, the potential barrier of the high concentration buried layer 25 is made shallow, and an optical generating charge is discharged from the high concentration buried layer 25.

[0011] Although the potential barrier of the high concentration buried layer 25 is made shallow by impressing the suitable electrical potential difference for the gate electrode 19 as the continuous line of drawing 2 (b) shows, while making it the suitable depth and discharging most optical generating charges, he is trying to leave only the optical generating charge of the specified quantity especially in this invention. While being able to store up by this the amount only of charges which the so-called black crushing does not generate in the

high concentration buried layer 25 before are recording, as shown in drawing 3 (b), flattening of the potential distribution is carried out over the whole region of the high concentration buried layer 25. Therefore, since an optical generating charge inclines and is accumulated that there is nothing when an optical generating charge is stored up more than it from such a condition, the modulation of threshold voltage becomes uniform.

[0012] in addition, a well -- when a field etc. is a conductivity type contrary to the above (i.e., when a high concentration buried layer is n mold), a high concentration buried layer serves as an electron pocket (carrier pocket), and will accumulate an optical generating electron. in this case, the thing for which a negative large electrical potential difference is impressed to the gate electrode 19 -- a well -- the potential by the side of a field 15b front face is reduced, the potential barrier of the high concentration buried layer 25 is made shallow, and an optical generating charge is discharged from the high concentration buried layer 25.

[0013]

[Embodiment of the Invention] Below, it explains, referring to a drawing about the gestalt of operation of this invention. Drawing 6 is the top view showing the component layout in the unit pixel of the MOS mold image sensors concerning the gestalt of operation of this invention. As shown in drawing 6, the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection are adjoined and formed in the unit pixel 101. As MOS transistor 112, the n channel MOS (nMOS) which has low concentration drain structure (LDD structure) is used.

[0014] the well from which these light-receiving diode 111 and MOS transistor 112 differ, respectively -- a field, i.e., the 1st well, -- field 15a and the 2nd well -- it forms in field 15b -- having -- those wells -- Fields 15a and 15b are connected mutually. the 1st well of the part of the light-receiving diode 111 -- field 15a constitutes a part of generating field of the charge by optical exposure. the 2nd well of the part of MOS transistor 112 -- field 15b constitutes the gate field to which the threshold voltage of a channel can be changed with the potential given to this field 15b.

[0015] The part of MOS transistor 112 has low concentration drain (LDD) structure. The drain fields 17a and 17b are formed so that the periphery section of the ring-like gate electrode 19 may be surrounded, and the source field 16 is formed so that it may be surrounded by the inner circumference of the ring-like gate electrode 19. The impurity range 17 of the light-receiving diode 111 which low-concentration drain field 17a extends, and has the almost same high impurity concentration as low-concentration drain field 17a is formed. namely, the 1st and 2nd wells which connected mutually an impurity range 17 and low-concentration drain field 17a -- it is formed in one so that most fields may start the surface of Fields 15a and 15b. Moreover, high-concentration drain field 17b as a contact layer is formed so that a light sensing portion may be avoided to the outside periphery of an impurity range 17 and low-concentration drain field 17a and it may connect with low

concentration drain field 17a.

[0016] furthermore, the carrier pocket (high concentration buried layer) 25 which is the description of these MOS mold image sensors -- the 2nd well under the gate electrode 19 -- it is in field 15b, and it is formed so that the source field 16 may be surrounded in the periphery of the source field 16. The drain fields 17a and 17b are connected with the drain electrical-potential-difference (VDD) supply line (or drain electrode) 22 through contact layer 17b of low resistance, the gate electrode 19 is connected to the vertical-scanning signal (VSCAN) supply line 21, and the source field 16 is connected to the perpendicular output line (or source electrode) 20.

[0017] Moreover, the component of the above solid state image sensor is covered with the insulator layers 28, such as silicon oxide, and the metal layer (light-shielding film) 23 which shades fields other than light-receiving aperture 24 of the light-receiving diode 111 is formed on this insulator layer 28. It sets in the component actuation for the lightwave signal detection in the above-mentioned MOS mold image sensors, and is an are recording period-read-out period-**** period (initialization period)-are recording period. - A series of processes of an are recording period-read-out period-**** period (initialization period) are repeated like .. In addition, with the gestalt of this operation, the blanking period is established between the initialization period and the are recording period.

[0018] in an are recording period, a carrier is generated by optical exposure -- making -- the inside of a carrier -- an electron hole (hole) -- the 1st and 2nd wells -- the inside of field 15a and 15b is moved, and it is made to accumulate in the carrier pocket 25 In this case, while impressing the forward electrical potential difference of +3.3V to the drain fields 17a and 17b and the source field 16 about, let the gate electrode 19 be touch-down potential. Moreover, in the period at the time of termination of an are recording period, while holding gate potential (Vpg) with touch-down potential, let potential (Vps) of the source electrode 19 be touch-down potential. on the other hand -- the potential (Vpd) of a drain electrode -- about 3.3 -- it is kept at V.

[0019] This are recording period is also a period to which the electrical potential difference of a difference with the 2nd source potential before the 1st source potential and lightwave signal which were modulated with the lightwave signal made to memorize, respectively go into the 1st and 2nd Rhine memory at the last period is made to output. Change of the threshold voltage of MOS transistor 112 by the optical generating charge accumulated in the carrier pocket 25 is read as change of source potential, and the 1st Rhine memory is made to memorize in a read-out period. While impressing the forward electrical potential difference of +2-3V to the drain fields 17a and 17b about so that MOS transistor 112 may operate by the saturation state, the forward electrical potential difference of +2-3V is about impressed also to the gate electrode 19.

[0020] In an initialization period (**** period), before accumulating an optical generating charge (optical generating carrier), an electron hole, an electron, etc. which carbonate an

optical generating charge, an acceptor, a donor, etc. to whom read-out finishes and remains, or are captured by surface level discharge the residual charge before read-out of a lightwave signal out of a semi-conductor. The optical generating charge of a constant rate is made to remain among the optical generating charges accumulated in the carrier pocket 25 at this time, without emptying the carrier pocket 25 completely. In this case, an electrical potential difference to which the optical generating charge of a constant rate remains among optical generating charges at the carrier pocket 25 to the source field 16, the drain fields 17a and 17b, or the gate electrode 19, for example, the forward electrical potential difference not more than +5V, is impressed.

[0021] It is a period required for a cuff of a horizontal scanning between an initialization period and an are recording period, and the 2nd Rhine memory is made to memorize the 2nd source potential in the condition of having swept out the optical generating charge from the carrier pocket 25 using this period, in a blanking period. Next, the device cross-section structure of the MOS mold image sensors concerning the gestalt of operation of this invention is explained using drawing 7 (a) and (b).

[0022] Drawing 7 (a) is a sectional view which meets the II-II line of drawing 6 , and shows the device structure of the MOS mold image sensors concerning the gestalt of operation of this invention. Drawing 7 (b) is drawing showing the situation of potential along a semi-conductor substrate front face. As shown in drawing 7 (a), on the high-impurity-concentration $1 \times 10^{18} \text{cm}^{-3}$ substrate 11 which consists of three or more [10^{18}cm^{-3} -] p-type silicon, 3 about [$1 \times 10^{15} \text{cm}^{-3}$ high impurity concentration to] n mold silicon is grown epitaxially, and an epitaxial layer 12 is formed.

[0023] Two or more formation of the unit pixel 101 which contains the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection in this epitaxial layer 12 is carried out. And the field insulator layer (isolation insulator layer) 14 is formed in epitaxial layer 12 front face between the adjoining unit pixels 101 of selective oxidation (LOCOS) so that each unit pixel 101 may be separated. Furthermore, it is the lower part of the field insulator layer 14, and the component isolation region 13 of p mold is formed so that the epitaxial layer 12 of n mold may be divided into the substrate 11 upper part, including the whole interface of an epitaxial layer 12 and the field insulator layer 14.

[0024] Next, drawing 7 (a) explains the detail of the light-receiving diode 111. The light-receiving diode 111 consists of surfaces of 1st well field 15a of p mold formed in the epitaxial layer 12 and the surface of an epitaxial layer 12, and 1st well field 15a in the impurity range 17 of n mold which extends on the surface of an epitaxial layer 12.

[0025] The impurity range 17 is formed so that it may extend from low-concentration drain field 17a of MOS transistor 112 for lightwave signal detection which has low concentration drain (LDD) structure. In the are recording period which gave [above-mentioned] explanation, it connects with the drain electrical-potential-difference supply line 22, and bias of the impurity range 17 is carried out to electropositive potential. this time -- an

impurity range 17 and the 1st well -- an interface with field 15a to a depletion layer -- the 1st well -- the whole field 15a is reached at the epitaxial layer 12 of breadth and n mold. on the other hand -- the interface of a substrate 11 and an epitaxial layer 12 to a depletion layer -- an epitaxial layer 12 -- breadth and the 1st well -- field 15a is reached.

[0026] the 1st well -- since field 15a and an epitaxial layer 12 are connected with gate field 15b of MOS transistor 112, they can use effectively these holes generated by light as a charge for the threshold voltage modulation of MOS transistor 112. if it puts in another way -- the 1st well -- field 15a and the epitaxial layer 12 whole serve as a carrier generating field by light.

[0027] Moreover, the light-receiving diode 111 has the embedded structure to the electron hole (hole) generated by light in that the carrier generating field by light is arranged under an impurity range 17 in the above-mentioned light-receiving diode 111. Therefore, it is not influenced by the semi-conductor layer front face with many trapping levels, but reduction of a noise can be aimed at. Next, drawing 7 (a) explains the detail of MOS transistor 112 for lightwave signal detection.

[0028] the 2nd well of p mold with which MOS transistor 112 part was formed sequentially from the bottom in the substrate 11 of p mold, the epitaxial layer 12 of n mold formed on this substrate 11, and this epitaxial layer 12 -- it has field 15b. This MOS transistor 112 has the structure where low-concentration drain field 17a of n mold surrounds the periphery of the ring-like gate electrode 19. Low-concentration drain field 17a of n mold is formed in one with the impurity range 17 of n mold. It connects with this impurity range 17, and high-concentration drain field 17b prolonged even in the component isolation region 13 and the isolation insulator layer 14 is formed in the outside periphery of the impurity range 17 which extends from low-concentration drain field 17a. High-concentration drain field 17b becomes the contact layer of the drain electrode 22.

[0029] Moreover, the source field 16 of n mold is formed so that it may be surrounded with the ring-like gate electrode 19. The center section serves as high concentration and, as for the source field 16, the periphery serves as low concentration. The source electrode 20 is connected to the source field 16. the gate electrode 19 -- the 2nd well between drain field 17a and the source field 16 -- it is formed through gate dielectric film 18 on field 15b. the 2nd well under the gate electrode 19 -- the surface of field 15b serves as a channel field. Furthermore, in the usual operating voltage, in order to hold a channel field in a reversal condition or the DEPLETION condition, n mold impurity of the suitable concentration for a channel field is introduced, and channel dope layer 15c is formed.

[0030] the 2nd well under the channel field -- it is in field 15b, the direction of channel length is the periphery of a field 16, i.e., a source field, a part, and the source field 16 is surrounded -- as -- p+ The carrier pocket (high concentration buried layer) 25 of a mold is formed. This p+ The carrier pocket 25 of a mold can be formed with the ion-implantation of an acceptor. the 2nd well below the channel field which produces the carrier pocket 25 on a

front face -- it is formed in field 15b. As for the carrier pocket 25, forming so that a channel field may not be started is desirable.

[0031] a well -- when a field is depletion-ized, an acceptor serves as negative charge. In the carrier pocket 25 of the above-mentioned p⁺ mold, since acceptor concentration (high impurity concentration) is made high compared with carrier pocket 25 periphery, negative charges increase in number. For this reason, compared with the potential of carrier pocket 25 periphery, the potential of the carrier pocket 25 becomes low to an optical generating hole among optical generating charges. Thereby, an optical generating hole can be brought together in this carrier pocket 25.

[0032] An optical generating hole is accumulated in the carrier pocket 25 at drawing 7 (b), and the potential Fig. in the condition that induction of the electron was carried out to the channel field, and the reversal field is generated is shown. The threshold voltage of MOS transistor 112 changes with these stored charge. Therefore, detection of a lightwave signal can be performed by detecting change of this threshold voltage. by the way, the electric field which impress a high electrical potential difference to the gate electrode 19, and are produced by it in the **** period of the above-mentioned carrier -- the 2nd well -- the carrier which remains in field 15b is swept out to the substrate 11 side. in this case, the impressed electrical potential difference -- channel dope layer 15c of a channel field, and the 2nd well -- an interface with field 15b to a depletion layer -- the 2nd well -- field 15b -- the interface of breadth and the substrate 11 of p mold, and an epitaxial layer 12 to a depletion layer -- the 2nd well -- it spreads in the epitaxial layer 12 under field 15b. therefore, the range where the electric field by the electrical potential difference impressed to the gate electrode 19 reach -- mainly -- the 2nd well -- field 15b and the 2nd well -- the epitaxial layer 12 under field 15b is covered.

[0033] Next, with reference to drawing 4 , the configuration of the whole MOS mold image sensors using the unit pixel of the above-mentioned structure is explained. Drawing 4 shows the circuitry Fig. of the MOS mold image sensors in the gestalt of operation of this invention. As shown in drawing 4 , these MOS mold image sensors have taken the configuration of a two-dimensional array sensor, and the unit pixel 101 of the above-mentioned structure is arranged by the direction of a train, and the line writing direction in the shape of a matrix.

[0034] Moreover, the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) and the drive scanning circuit 103 of a drain electrical potential difference (VDD) are arranged across the pixel field at the right and left. every one vertical-scanning signal supply lines 21a and 21b have come out from the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) for every line. Each vertical-scanning signal supply lines 21a and 21b are connected to the gate of MOS transistor 112 in all the unit pixels 101 on a par with a line writing direction.

[0035] moreover, every one drain electrical-potential-difference supply lines (VDD supply

line) 22a and 22b have come out from the drive scanning circuit 103 of a drain electrical potential difference (VDD) for every line. Each drain electrical-potential-difference supply lines (VDD supply line) 22a and 22b are connected to the drain of MOS transistor 112 for lightwave signal detection in all the unit pixels 101 on a par with a line writing direction. Moreover, different perpendicular output lines 20a and 20b for every train are formed, and each perpendicular output lines 20a and 20b are connected to the source of MOS transistor 112 in all the unit pixels 101 located in a line in the direction of a train, respectively.

[0036] Furthermore, the source field of MOS transistor 112 is connected with the signal output circuit 105 through the perpendicular output lines 20a and 20b for every train. The video signal (Vout) which does not contain the noise component by residual charge which drove MOS transistor 112 of sequential ** each unit pixel 101, and is proportional to the amount of incidence of light with a vertical-scanning signal (VSCAN) and a horizontal scanning signal (HSCAN) is read from the signal output circuit 105.

[0037] The detail of the above-mentioned signal output circuit 105 is shown in drawing 5 (a) and (b). In drawing 5 (a), the source field is directly linked with the Rhine memory which consists of an input capacitor in the above-mentioned signal output circuit 105. It is characterized by having not connected active loads, such as a constant current source, to a source field. As shown in drawing 5 (a), the 1st Rhine memory Lms which connected through the source field of MOS transistor 112 for lightwave-signal detection and the 1st switch CK 1 memorizes the source potential containing a lightwave-signal electrical potential difference and the noise voltage by the residual charge before are recording of an optical generating charge, and the 2nd Rhine memory Lmn which similarly connected with the source field through the 2nd switch CK 2 memorizes the source potential only containing the above-mentioned noise voltage. And each memorized source potential is inputted into the operation amplifying circuit 31 through the 3rd switch CK 3 and the 4th switch CK 4, respectively, and the lightwave signal electrical potential difference which is a difference electrical potential difference is outputted to the video-signal output terminal 107 through the water Hiraide line of force 26. The operation amplifying circuit 31 has circuitry which constitutes a swicthed capacitor circuit combining the memory capacitors Lms and Lmn.

[0038] Drawing 5 (b) is the circuit diagram showing the example of other signal output circuits 105. Although the Rhine memory Lms and Lmn which consists of an input capacitor is directly linked with the source field 16 in the signal output circuit 105 in drawing 5 (a), as shown in drawing 5 (b), a constant current source (load circuit) 106 is connected to juxtaposition, and it is good for the Rhine memory also as source follower connection.

[0039] In addition, in order to show opening and closing an applicable wiring way functionally, it is typically shown in a form like drawing 5 , but the switches in the above-mentioned signal output circuit 105 (CK1-CK6) are independent, or it combines an MOS transistor etc., and is used so that circuit actuation explained to the gestalt of this operation in fact may be performed appropriately. Drawing 1 shows the timing chart of each I/O signal for operating

the MOS mold image sensors concerning this invention. in this case -- as MOS transistor 112 for lightwave signal detection -- the 1st and 2nd wells of p mold -- nMOS equipped with Fields 15a and 15b is used. Moreover, the signal output circuit 105 uses what is shown in drawing 5 (a).

[0040] Next, according to drawing 1 , photodetection actuation of the solid state image sensor with which a single string continued is explained briefly. Photodetection actuation is performed by repeating a series of processes which consist of an are recording period--read-out period--**** period (initialization period), as described above. Here, explanation is begun from an are recording period for convenience' sake. First, in an are recording period, while impressing an electrical potential difference (V_{pd} , V_{ps}) (V_{DD}), for example, about 3.3 V, to the drain fields 17a and 17b and the source field 16 of MOS transistor 112 for lightwave signal detection, the gate electrode 19 is grounded (V_{pg}).

[0041] this time -- the 1st well -- field 15a and the 2nd well -- the inside of field 15b and an epitaxial layer 12 depletion-izes. and the 1st and 2nd wells -- the inside of field 15a and 15b -- the well of the high concentration buried layer 25 and its periphery -- the electric field which go to the high concentration buried layer 25 according to the difference of the high impurity concentration between Fields 15a and 15b arise. Then, light is irradiated at the light-receiving diode 111, and an electronic-electron hole pair (optical generating charge) is generated.

[0042] An optical generating hole is poured into gate field 15b of MOS transistor 112 for lightwave signal detection among this optical generating charge by the above-mentioned electric field, and it is accumulated in the carrier pocket 25. While the depletion-layer width of face which spreads in gate field 15b under it from a channel field is restricted by this, the potential of the source field 16 neighborhood is modulated, and the threshold voltage of MOS transistor 112 changes.

[0043] When there is dispersion in acceptor concentration within the carrier pocket 25 at this time, supposing it is sweeping out all optical generating charges in the initialization period explained below, as shown in drawing 3 (a), the height of potential has arisen corresponding to acceptor concentration, and since it is partially accumulated in the low place of potential while there are few injection rates of an electron hole, when a lightwave signal is read, black crushing of an image will arise. On the other hand, with the gestalt of implementation of this invention, as shown in drawing 3 (b), in the initialization period explained below, the optical generating charge of only the amount which the so-called black crushing does not generate is accumulated in the carrier pocket 25, and flattening of the potential distribution in the carrier pocket 25 is carried out. Therefore, when an optical generating charge is stored up more than it from such a condition, the modulation of threshold voltage becomes uniform over the channel field whole region. For this reason, when a lightwave signal is read, generating of the so-called black crushing of an image can be prevented.

[0044] Next, in the period at the time of termination of an are recording period, while holding the output (V_{pg}) of the VSCAN drive scanning circuit 102 with touch-down potential (it becomes the gate potential of MOS transistor 112), let source potential (V_{ps}) be touch-down potential. To coincidence, the 1st switch CK 1 of the signal output circuit 105 is closed. On the other hand, VDD drive scanning-line 22a is maintained at about 3.3 V.

[0045] In addition, in an are recording period, although the electrical potential difference of the difference of the source potential memorized by the 1st and 2nd Rhine memory Lms and Lmn at the last period is outputted to the video-signal output terminal 107, this actuation will be explained after a blanking period. next, a read-out period -- setting -- the output (V_{pg}) of the VSCAN drive scanning circuit 102 -- about 2.2 -- it is referred to as V (it becomes the gate potential of MOS transistor 112). On the other hand, VDD drive scanning-line 22a is maintained at about 3.3 V (it becomes the drain potential of MOS transistor 112).

[0046] about 2 [namely,] to which MOS transistor 112 can operate by the saturation state to the gate electrode 19 -- about 3.3 to which the gate voltage of -3V is impressed and MOS transistor 112 can operate to the drain fields 17a and 17b -- the electrical potential difference VDD which is V is impressed. Thereby, the reversal field of low electric field is formed in a part of channel field of the carrier pocket 25 upper part, and a high electric-field field is formed in the remaining part of a channel field. At this time, the drain voltage-current property of MOS transistor 112 shows saturation characteristics, as shown in drawing 8 .

[0047] Thereby, the 1st Rhine memory Lms is charged. And source potential will rise as charge progresses, and a drain current will not flow in the place where source potential became equal to threshold voltage. Thereby, charge is completed and the threshold voltage (source potential V_{outs}) by which light modulation was carried out to the 1st Rhine memory Lms is memorized. The electrical potential difference (that is, noise voltage (V_{outn}) is called.) which originated in the charge by the optical generating charge besides the electrical potential difference only by the optical generating charge is also included in this threshold voltage.

[0048] The 1st switch CK 1 is opened after termination of a read-out period. Next, it moves to initialization actuation. initialization actuation -- setting -- the inside of the carrier pocket 25, and the 1st and 2nd wells -- the charge which remains in field 15a and 15b is discharged. That is, potential of a drain is set to about 5V, and potential of the gate electrode 19 is set to about 5V. Thereby, induction of the electron is carried out to a channel field, and since a source field is connected with a drain field through a channel field, the potential of the source is also set to about 5 V.

[0049] the electrical potential difference impressed to the gate electrode 19 at this time -- the 2nd well -- field 15b and the 2nd well -- the epitaxial layer 12 under field 15b is started. The continuous line of drawing 2 (b) shows the potential distribution of the depth direction which meets the I-I line of drawing 2 (a), and the potential distribution in the carrier pocket

25 which meets the ring-like carrier pocket 25 is shown in drawing 3 (a). Although the potential barrier of the carrier pocket 25 is made shallow as the continuous line of drawing 2 (b) shows, it is made the suitable depth, and he discharges most optical generating charges, and is trying to leave only the optical generating charge of the specified quantity by impressing a suitable electrical potential difference as shown in the gate electrode 19 as the continuous line of drawing 1. As shown in drawing 3 (b), while being able to store up by this the optical generating charge of only the amount which the so-called black crushing of an image does not generate in the carrier pocket 25 before are recording, flattening of the potential distribution in the carrier pocket 25 is carried out.

[0050] In addition, for a comparison, the dotted line of drawing 2 (b) shows the potential distribution of the depth direction which meets the I-I line of drawing 2 (a) at the time of discharging completely without leaving the carrier in the carrier pocket 25, and the potential distribution in the carrier pocket 25 which meets the carrier pocket 25 of the shape of a ring when the carrier pocket 25 becomes empty as a result is shown in drawing 3 (a). By impressing a higher electrical potential difference as shown in the gate electrode 19 by the dotted line of drawing 1, as the dotted line of drawing 2 (b) shows, the potential well in the high concentration buried layer 25 disappears, and the optical generating charge is discharged completely. In this case, in an are recording period, since the bias of potential has arisen in the carrier pocket 25 as shown in drawing 3 (c), an optical generating charge is unevenly distributed sequentially from the low place of potential, and is accumulated.

[0051] After only the specified quantity leaves and discharges the optical generating charge accumulated in the high concentration buried layer 25 as mentioned above, in the period in early stages of the blanking period in front of an are recording period, the output (Vpg) of the VSCAN drive scanning circuit 102 is made into touch-down potential (it becomes the gate potential of MOS transistor 112), and the output (Vpd) of the VDD drive scanning circuit 103 is set to 3.3V (it becomes the drain potential of MOS transistor 112) at coincidence. Moreover, the 3rd switch CK 3 is closed and the 2nd Rhine memory Lmn is connected to the source field of an insulated gate field effect transistor 112.

[0052] next, the period after termination of the period in early stages of a blanking period — setting — the output (Vpg) of the VSCAN drive scanning circuit 102 — about 2.2 — it is referred to as V (it becomes the gate potential of MOS transistor 112). On the other hand, VDD drive scanning-line 22a is maintained at about 3.3 V. Thereby, the reversal field of low electric field is formed in a part of channel field of the carrier pocket 25 upper part, and a high electric-field field is formed in the remaining part of a channel field. At this time, a drain current flows in the source of MOS transistor 112, and as a drain voltage-current property is shown in drawing 8, saturation characteristics are shown according to threshold voltage. Thereby, the 2nd Rhine memory Lmn is charged. Source potential will rise as charge progresses, and a drain current will not flow in the place where source potential became equal to threshold voltage. Thereby, charge is completed and the noise voltage (Voutn)

which originated in the 2nd Rhine memory Lmn at the residual charge by the optical generating charge is memorized.

[0053] The 2nd switch CK 2 is opened after termination of a blanking period. Subsequently, although it returns at an are recording period, while performing are recording actuation at this time, actuation which outputs the electrical potential difference of the difference of the source potentials Vouts and Voutn memorized by the 1st and 2nd Rhine memory Lms and Lmn at the last period is performed. Thus, the video signal ($V_{out}=V_{outs}-V_{outn}$) proportional to an optical exposure can be taken out.

[0054] As mentioned above, although the potential barrier of the carrier pocket 25 is made shallow by impressing the suitable electrical potential difference for the gate electrode 19 as the continuous line of drawing 2 (b) shows, it is made the suitable depth, and he discharges most optical generating charges, and is trying to leave only the optical generating charge of the specified quantity in an initialization period according to the gestalt of implementation of this invention. While being able to store up by this the amount only of charges which the so-called black crushing of an image does not generate in the carrier pocket 25 before are recording, flattening of the potential distribution in the carrier pocket 25 is carried out. Therefore, when an optical generating charge is stored up more than it from such a condition, the modulation of threshold voltage becomes uniform over the channel field whole region. Therefore, when a lightwave signal is read, the so-called black crushing of an image can be prevented.

[0055] Furthermore, in a series of processes of are recording actuation-read-out actuation-***** (initialization actuation), when an optical generating hole moves, the ideal photo-electric-conversion device which does not interact with the noise source in a semi-conductor front face or a channel field can be realized. As mentioned above, although the gestalt of operation explained this invention to the detail, the range of this invention is not restricted to the example concretely shown in the gestalt of the above-mentioned implementation, and modification of the gestalt of the above-mentioned implementation of the range which does not deviate from the summary of this invention is included in the range of this invention.

[0056] For example, although 5V are impressed with the gestalt of the above-mentioned operation as a suitable electrical potential difference for leaving the optical generating charge of the specified quantity and discharging most optical generating charges in an initialization period, it cannot be overemphasized that this electrical potential difference changes with component parameters, such as thickness of gate dielectric film 18 and concentration of the carrier pocket 25. moreover, the inside of the epitaxial layer 12 of n mold on the substrate 11 of p mold -- the 1st and 2nd wells -- although Fields 15a and 15b are formed -- instead of [of the epitaxial layer 12 of n mold] -- the epitaxial layer of p mold -- n mold impurity -- introducing -- n mold -- a well -- a layer -- forming -- this n mold -- a well -- the inside of a layer -- the 1st and 2nd wells -- Fields 15a and 15b may be

formed.

[0057] furthermore -- although various modifications can be considered as structure of a solid state image sensor where this invention is applied -- the MOS transistor for [whatever other structures] light-receiving diode and lightwave signal detection -- adjoining -- a unit pixel -- constituting -- and the well of p mold under the channel field of an MOS transistor -- it is in a field and the high concentration buried layer (carrier pocket) should just be prepared near the source field.

[0058] Furthermore, although the substrate 11 of p mold is used, the substrate of n mold may be used instead. In this case, what is necessary is just to reverse all of each class explained with the gestalt of the above-mentioned implementation etc., and the conductivity type of each field, in order to acquire the same effectiveness as the gestalt of the above-mentioned implementation. In this case, the carrier which should be accumulated in the carrier pocket 25 is an electron among an electron and an electron hole.

[0059]

[Effect of the Invention] As mentioned above, although the potential barrier of a high concentration buried layer is made shallow by impressing the suitable electrical potential difference for a gate electrode, it is made the suitable depth, and he discharges most optical generating charges, and is trying to leave only the optical generating charge of the specified quantity in an initialization period according to this invention.

[0060] While being able to store up by this the amount only of charges which the so-called black crushing does not generate in the high concentration buried layer before are recording, flattening of the potential distribution in a high concentration buried layer can be carried out. Therefore, when an optical generating charge is stored up more than it from such a condition, the modulation of threshold voltage becomes uniform over the channel field whole region, and the so-called black crushing of an image can be prevented.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the timing chart which shows the drive approach of the solid state camera concerning the gestalt of implementation of this invention.

[Drawing 2] (a) is a component sectional view for explaining the drive approach of the solid state camera concerning the gestalt of operation of this invention, and (b) is drawing showing the depth direction which passes along the carrier pocket of the MOS transistor for photodetection in the initialization period of the drive approach of the solid state camera concerning the gestalt of operation of this invention, i.e., the potential distribution which meets the I-I line of (a).

[Drawing 3] (a) can be set at the initialization period of the drive approach of the solid state camera concerning the gestalt of operation of this invention. It is drawing showing the potential distribution to which it corresponds [over which correspond and it is acceptor-concentration-distributed] in the carrier pocket which meets the carrier pocket of the MOS transistor for photodetection. (b) is drawing showing the potential distribution in the carrier pocket at the time of similarly storing up the electron hole of optimum dose into a carrier pocket. (c) is drawing showing signs concerning the example of a comparison that the potential distribution in a carrier pocket changes according to the accumulated dose of the electron hole to a carrier pocket.

[Drawing 4] It is drawing showing the circuitry of the whole solid state camera used for the drive approach of drawing 1 .

[Drawing 5] (a) and (b) are the circuit diagrams showing the detail configuration of the signal output circuit of the solid state camera of drawing 4 , respectively.

[Drawing 6] It is the top view showing the component layout in the unit pixel of the solid state image sensor used for the solid state camera concerning the gestalt of operation of this invention.

[Drawing 7] (a) is a sectional view showing the structure of the component in the unit pixel of the solid state image sensor used for the solid state camera concerning the gestalt of operation of this invention which meets the II-II line of drawing 6 . (b) is drawing showing the situation of the potential in the condition that the optical generating hole was accumulated in the carrier pocket, induction of the electron was carried out to the channel field, and the reversal field is generated.

[Drawing 8] It is the graph which shows the drain current-voltage characteristic of the MOS transistor for lightwave signal detection of the solid state image sensor used for the solid state camera concerning the gestalt of operation of this invention.

[Description of Notations]

15a the 1st well -- a field

15b the 2nd well -- a field

15c Channel dope layer

16 Source Field

17 Impurity Range

17a A low-concentration drain field

17b A high-concentration drain field (contact layer)

18 Gate Dielectric Film

19 Gate Electrode

20a, 20b Perpendicular output line

21a, 21b VSCAN supply line

22a, 22b VDD supply line

25 Carrier Pocket (High Concentration Buried Layer)

26 Water Hiraide Line of Force
27a, 27b HSCAN supply line
31 Operation Amplifying Circuit
101 Unit Pixel
102 VSCAN Drive Scanning Circuit
103 VDD Drive Scanning Circuit
104 HSCAN Input Scanning Circuit
105 Signal Output Circuit
107 Video-Signal Output Terminal
111 Light-receiving Diode
112 Insulated Gate Field Effect Transistor for Lightwave Signal Detection (MOS Transistor for Lightwave Signal Detection)
CK1 The 1st switch
CK2 The 2nd switch
CK3 The 3rd switch
CK4 The 4th switch
CK5 The 5th switch
CK6 The 6th switch
Lms 1st Rhine memory
Lmn 2nd Rhine memory

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64749

(P2002-64749A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 4 N	5/335	H 0 4 N 5/335	E 4 M 1 1 8
			U 5 C 0 2 4
H 0 1 L	27/146	1/028	A 5 C 0 5 1
	31/10	H 0 1 L 27/14	A 5 F 0 4 9
H 0 4 N	1/028	31/10	G

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-245937 (P2000-245937)

(22) 出願日 平成12年8月14日 (2000.8.14)

(71) 出願人 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜 3-17-6

(72) 発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜 3丁目17番 6

号 イノテック株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

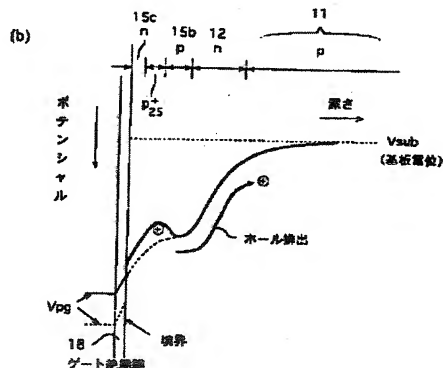
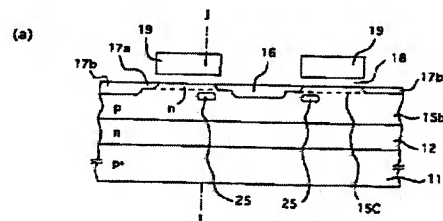
最終頁に続く

(54) 【発明の名称】 固体撮像装置の駆動方法

(57) 【要約】

【課題】 光検出用絶縁ゲート型電界効果トランジスタのチャネル領域全域にわたって閾値電圧を一様に変調させる。

【解決手段】 受光ダイオードで光照射により発生した光発生電荷を高濃度埋込層 25 に蓄積させる蓄積期間と、高濃度埋込層 25 に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、高濃度埋込層 25 に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、初期化期間において、高濃度埋込層 25 に蓄積された光発生電荷のうち大部分が高濃度埋込層 25 内から排出され、所定量が高濃度埋込層 25 内に残留するように光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極 19 に電圧を印加することを特徴とする。



(2)

1

【特許請求の範囲】

【請求項1】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分はウェル領域内に設けられたドレイン領域と、ソース領域と、前記ドレイン領域と前記ソース領域との間のチャンネル領域と、前記ソース領域の近傍であってチャンネル領域下のウェル領域内に設けられた、前記受光ダイオードで光照射により発生した光発生電荷を蓄積する高濃度埋込層とを有し、前記光発生電荷を前記高濃度埋込層に蓄積して閾値電圧を変調させて光信号を検出する固体撮像素子を有する固体撮像装置を用いて、前記受光ダイオードで光照射により発生した光発生電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、前記高濃度埋込層に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、前記初期化期間において、前記高濃度埋込層に蓄積された光発生電荷のうち大部分が高濃度埋込層内から排出され、所定量が前記高濃度埋込層内に残留するように前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に電圧を印加することを特徴とする固体撮像装置の駆動方法。

【請求項2】 前記絶縁ゲート型電界効果トランジスタのゲート電極はリング状を有し、前記ソース領域は前記ゲート電極によって囲まれた前記ウェル領域の表層に形成され、前記ドレイン領域は前記ゲート電極を囲むように前記ウェル領域の表層に形成されていることを特徴とする請求項1記載の固体撮像装置の駆動方法。

【請求項3】 前記高濃度埋込層が形成されたソース領域の近辺は、前記ドレイン領域から前記ソース領域に至るチャンネル長方向の一部領域であって、前記ソース領域側であることを特徴とする請求項1又は2記載の固体撮像装置の駆動方法。

【請求項4】 前記高濃度埋込層はチャンネル幅方向全域にわたって形成されていることを特徴とする請求項1乃至3の何れか一に記載の固体撮像装置の駆動方法。

【請求項5】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項1乃至4の何れか一に記載の固体撮像装置の駆動方法。

【請求項6】 前記固体撮像装置は、さらに、前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を供給する垂直走査信号駆動走査回路と、前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、前記絶縁ゲート型電界効果トランジスタのソース領域の

2

電圧を読み出す走査信号を供給する水平走査信号入力走査回路と、

前記光信号を出力する映像信号出力端子とを有することを特徴とする請求項1乃至5の何れか一に記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置の駆動方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に使われる閾値電圧変調方式のMOS型イメージセンサを用いた固体撮像装置の駆動方法に関する。

【0002】

【従来の技術】CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタ112のチャンネル領域下にキャリアポケット（高濃度埋込層）25を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。このMOS型イメージセンサは特許（登録番号2935492号）の図8（a）に示す回路構成を有し、その動作においては、前記特許の図8（b）に示すように、初期化期間—蓄積期間—読出期間を経る。初期化期間に電界によりホールポケット25に残る光発生正孔を排出して初期化し、蓄積期間に光照射により光発生正孔を生じさせてホールポケット25に蓄積させ、読出期間に光発生正孔の蓄積量に比例した光信号を検出する。

【0004】また、本願出願人は、この特許（登録番号2935492号）に係る発明に関連して種々の新たな出願を行っているが、それらによれば、この出願の図1の点線で示すように、初期化期間において、ゲート電極の電位（ V_{pg} （VSCAN））、ドレイン電位（ V_{pd} ）及びソース電位（ V_{ps} ）を高い電位にし、光信号検出用MOSトランジスタ112の表面から高い電界を加えることにより、キャリアポケット25に蓄積されている光発生電荷をキャリアポケット25から完全に掃き出して、新たに蓄積される光発生電荷に対応した光信号に残留電荷によるノイズが重畳されないようにしている。

【0005】

【発明が解決しようとする課題】ところで、上記固体撮像装置の光検出用絶縁ゲート型電界効果トランジスタ1

50

(3)

3

12を有する固体撮像素子においては、アクセプタの濃度が周辺部よりも高くなっているリング状のキャリアポケット25を備えている。そして、キャリアポケットを含むウェル領域を空乏化した状態でそのキャリアポケット25に正孔を注入し、キャリアポケット25内のアクセプタからなる負電荷を中性化して閾値電圧を変調させている。

【0006】このような構造では、キャリアポケット25内のアクセプタ濃度や、パターン形状が一樣でない場合にはキャリアポケット25の全域にわたってポテンシャルが一樣にならず、部分においてポテンシャルの高低が生ずる。このような場合、低レベルの正孔注入に対しては正孔がポテンシャルの低いところに偏在してしまい、この偏在に対応してチャネル領域内の表面電位もばらつく。このため、閾値電圧の変調がチャネル領域内で一樣でなくなり、素子電流分布はホールの蓄積分布を反映せず線形性が失われ、所謂画像の黒つぶれが生じてしまうという問題がある。

【0007】本発明は、上記従来技術の問題点を鑑みて創作されたものであり、光検出用絶縁ゲート型電界効果トランジスタのチャネル領域全域にわたって閾値電圧を一樣に変調させることができる固体撮像装置の駆動方法を提供するものである。

【0008】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像装置の駆動方法に係り、その駆動方法に用いる固体撮像装置の基本構成として、図6及び図7(a)に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ(MOSTランジスタ)112とを含む各単位画素101を有し、各単位画素101においては、受光ダイオード111とMOSTランジスタ112とは相互に接続したウェル領域15a、15bに形成され、MOSTランジスタ112のソース領域の周辺部のウェル領域15b内に光発生電荷を蓄積する高濃度埋込層(キャリアポケット)25を有していることを特徴としている。

【0009】特に、高濃度埋込層25の形状はゲート電極19の形状に対応してリング状を有している。本発明の固体撮像装置の駆動方法においては、図1に示すように、上記固体撮像装置を用いて、光照射により発生した光発生電荷を高濃度埋込層25に蓄積させる蓄積期間と、高濃度埋込層25に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、高濃度埋込層25に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、初期化期間において、高濃度埋込層25に蓄積された光発生電荷のうち大部分が高濃度埋込層25内から排出され、所定量が高濃度埋込層25内に残留するように光信号検出用絶縁ゲート型電界効果トランジスタ112

4

のゲート電極19に電圧を印加することを特徴としている。

【0010】以下に、上記構成により奏される作用・効果を説明する。ところで、上記固体撮像装置では、ウェル領域15bと高濃度埋込層25がp型の場合、初期化期間において、ゲート電極19に正の高い電圧を印加することによりウェル領域15b表面側の電位を持ち上げて、高濃度埋込層25の電位障壁を浅くして高濃度埋込層25から光発生電荷を排出する。

【0011】この発明では、特に、図2(b)の実線で示すように、ゲート電極19に適当な電圧を印加することにより高濃度埋込層25の電位障壁を浅くするものの適当な深さにして、大部分の光発生電荷を排出するとともに所定量の光発生電荷だけを残すようにしている。これにより、蓄積前の高濃度埋込層25には所謂黒つぶれが発生しないだけの電荷量を蓄積させておくことができるとともに、図3(b)に示すように、高濃度埋込層25の全域にわたってポテンシャル分布が平坦化される。従って、このような状態からそれ以上に光発生電荷を蓄積させた場合、光発生電荷は偏りなく蓄積されていくため、閾値電圧の変調は一樣になる。

【0012】なお、ウェル領域等が上記と逆の導電型の場合、即ち高濃度埋込層がn型の場合、高濃度埋込層はエレクトロンポケット(キャリアポケット)となり、光発生電子を蓄積することになる。この場合、ゲート電極19に負の大きい電圧を印加することによりウェル領域15b表面側の電位を引き下げて、高濃度埋込層25の電位障壁を浅くして高濃度埋込層25から光発生電荷を排出する。

【0013】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。図6は、本発明の実施の形態に係るMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図6に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSTランジスタ112とが隣接して設けられている。MOSTランジスタ112として、低濃度ドレイン構造(LDD構造)を有するnチャネルMOS(nMOS)を用いている。

【0014】これら受光ダイオード111とMOSTランジスタ112は、それぞれ異なるウェル領域、即ち第1のウェル領域15aと第2のウェル領域15bに形成され、それらのウェル領域15a、15bは互いに接続されている。受光ダイオード111の部分の第1のウェル領域15aは光照射による電荷の発生領域の一部を構成している。MOSTランジスタ112の部分の第2のウェル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0015】MOSTランジスタ112の部分は低濃度

(4)

5

ドレイン (LDD) 構造を有している。ドレイン領域 17 a、17 b はリング状のゲート電極 19 の外周部を取り囲むように形成され、ソース領域 16 はリング状のゲート電極 19 の内周に囲まれるように形成されている。低濃度のドレイン領域 17 a が延在して低濃度のドレイン領域 17 a とほぼ同じ不純物濃度を有する受光ダイオード 111 の不純物領域 17 が形成されている。即ち、不純物領域 17 と低濃度のドレイン領域 17 a とは互いに接続した第 1 及び第 2 のウェル領域 15 a、15 b の表層に大部分の領域がかかるように一体的に形成されている。また、不純物領域 17 と低濃度のドレイン領域 17 a の外側周辺部には受光部を避けて低濃度ドレイン領域 17 a に接続するようにコンタクト層としての高濃度のドレイン領域 17 b が形成されている。

【0016】さらに、この MOS 型イメージセンサの特徴であるキャリアポケット (高濃度埋込層) 25 は、ゲート電極 19 下の第 2 のウェル領域 15 b 内であって、ソース領域 16 の周辺部に、ソース領域 16 を取り囲むように形成されている。ドレイン領域 17 a、17 b は低抵抗のコンタクト層 17 b を通してドレイン電圧 (VDD) 供給線 (又はドレイン電極) 22 と接続され、ゲート電極 19 は垂直走査信号 (VSCAN) 供給線 21 に接続され、ソース領域 16 は垂直出力線 (又はソース電極) 20 に接続されている。

【0017】また、以上の固体撮像素子の構成要素はシリコン酸化膜等の絶縁膜 28 によって覆われ、この絶縁膜 28 上に、受光ダイオード 111 の受光窓 24 以外の領域を遮光する金属層 (遮光膜) 23 が形成されている。上記の MOS 型イメージセンサにおける光信号検出のための素子動作においては、蓄積期間—読出期間—掃出期間 (初期化期間)—蓄積期間—読出期間—掃出期間 (初期化期間)—蓄積期間—読出期間—掃出期間 (初期化期間) という一連の過程が繰り返される。なお、この実施の形態では初期化期間と蓄積期間の間にブランキング期間を設けている。

【0018】蓄積期間では、光照射によりキャリアを発生させ、キャリアのうち正孔 (ホール) を第 1 及び第 2 のウェル領域 15 a、15 b 内を移動させてキャリアポケット 25 に蓄積させる。この場合、ドレイン領域 17 a、17 b 及びソース領域 16 に凡そ +3.3 V の正の電圧を印加するとともに、ゲート電極 19 を接地電位とする。また、蓄積期間の終了時の期間では、ゲート電位 (Vpg) を接地電位のまま保持するとともに、ソース電極 19 の電位 (Vps) を接地電位とする。一方、ドレイン電極の電位 (Vpd) は凡そ 3.3 V に保たれる。

【0019】この蓄積期間は、前の期間に第 1 及び第 2 のラインメモリにそれぞれ記憶させた光信号により変調した第 1 のソース電位と光信号がはいる前の第 2 のソース電位との差の電圧を出力させる期間でもある。読出期

6

間では、キャリアポケット 25 に蓄積された光発生電荷による MOS トランジスタ 112 の閾値電圧の変化をソース電位の変化として読み取り、第 1 のラインメモリに記憶させる。MOS トランジスタ 112 が飽和状態で動作するように、ドレイン領域 17 a、17 b に凡そ +2 ~ 3 V の正の電圧を印加するとともに、ゲート電極 19 にも凡そ +2 ~ 3 V の正の電圧を印加する。

【0020】初期化期間 (掃出期間) では、光発生電荷 (光発生キャリア) を蓄積する前に、読み出しが終わって残留する光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出する。このとき、キャリアポケット 25 を完全に空にせず、キャリアポケット 25 に蓄積されている光発生電荷のうち一定量の光発生電荷を残留させる。この場合、ソース領域 16 やドレイン領域 17 a、17 b やゲート電極 19 に光発生電荷のうち一定量の光発生電荷がキャリアポケット 25 に残留するような電圧、例えば +5 V 以下の正の電圧を印加する。

【0021】ブランキング期間では、初期化期間と蓄積期間の間に水平走査の折返しに必要な期間であり、この期間を利用してキャリアポケット 25 から光発生電荷を掃き出した状態での第 2 のソース電位を第 2 のラインメモリに記憶させる。次に、本発明の実施の形態に係る MOS 型イメージセンサのデバイス断面構造を図 7

(a)、(b) を用いて説明する。

【0022】図 7 (a) は、図 6 の II-II 線に沿う断面図であり、本発明の実施の形態に係る MOS 型イメージセンサのデバイス構造について示すものである。図 7

(b) は、半導体基板表面に沿うポテンシャルの様子を示す図である。図 7 (a) に示すように、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上の p 型シリコンからなる基板 11 上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度の n 型シリコンをエピタキシャル成長し、エピタキシャル層 12 を形成する。

【0023】このエピタキシャル層 12 に受光ダイオード 111 と光信号検出用 MOS トランジスタ 112 とを含む単位画素 101 が複数形成されている。そして、各単位画素 101 を分離するように、隣接する単位画素 101 間のエピタキシャル層 12 表面に、選択酸化 (LOCOS) によりフィールド絶縁膜 (素子分離絶縁膜) 14 が形成されている。さらに、フィールド絶縁膜 14 の下部であって基板 11 上部に、エピタキシャル層 12 とフィールド絶縁膜 14 との界面全体を含み、かつ n 型のエピタキシャル層 12 を分離するように p 型の素子分離領域 13 が形成されている。

【0024】次に、受光ダイオード 111 の詳細について図 7 (a) により説明する。受光ダイオード 111 は、エピタキシャル層 12 と、エピタキシャル層 12 の表層に形成された p 型の第 1 のウェル領域 15 a と、第

50

(5)

7

1のウェル領域15aの表層からエピタキシャル層12の表層に延在するn型の不純物領域17とで構成されている。

【0025】不純物領域17は、低濃度ドレイン(LD)構造を有する光信号検出用MOSトランジスタ112の低濃度のドレイン領域17aから延在するように形成されている。上記説明した蓄積期間において、不純物領域17はドレイン電圧供給線22に接続されて正の電位にバイアスされる。このとき、不純物領域17と第1のウェル領域15aとの境界面から空乏層が第1のウェル領域15a全体に広がり、n型のエピタキシャル層12に達する。一方、基板11とエピタキシャル層12との境界面から空乏層がエピタキシャル層12に広がり、第1のウェル領域15aに達する。

【0026】第1のウェル領域15aやエピタキシャル層12はMOSトランジスタ112のゲート領域15bと繋がっているため、光により発生したこれらのホールをMOSトランジスタ112の閾値電圧変調用の電荷として有効に用いることができる。言い換えれば、第1のウェル領域15a及びエピタキシャル層12全体が光によるキャリア発生領域となる。

【0027】また、上記の受光ダイオード111においては不純物領域17の下に光によるキャリア発生領域が配置されているという点で、受光ダイオード111は光により発生した正孔(ホール)に対する埋め込み構造を有している。従って、捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。次に、光信号検出用MOSトランジスタ112の詳細について図7(a)により説明する。

【0028】MOSトランジスタ112部分は、下から順に、p型の基板11と、この基板11上に形成されたn型のエピタキシャル層12と、このエピタキシャル層12内に形成されたp型の第2のウェル領域15bとを有している。このMOSトランジスタ112はリング状のゲート電極19の外周をn型の低濃度のドレイン領域17aが囲むような構造を有する。n型の低濃度のドレイン領域17aはn型の不純物領域17と一体的に形成されている。低濃度のドレイン領域17aから延在する不純物領域17の外側周辺部には、この不純物領域17と接続し、素子分離領域13及び素子分離絶縁膜14にまで延びる高濃度のドレイン領域17bが形成されている。高濃度のドレイン領域17bはドレイン電極22のコンタクト層となる。

【0029】また、リング状のゲート電極19によって囲まれるようにn型のソース領域16が形成されている。ソース領域16は、中央部が高濃度となっており、周辺部が低濃度となっている。ソース電極20はソース領域16に接続している。ゲート電極19は、ドレイン領域17aとソース領域16の間の第2のウェル領域15b上にゲート絶縁膜18を介して形成されている。ゲ

8

ート電極19下の第2のウェル領域15bの表層がチャネル領域となる。さらに、通常の動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度のn型不純物を導入してチャネルドープ層15cを形成している。

【0030】そのチャネル領域の下第2のウェル領域15b内であってチャネル長方向の一部領域に、即ちソース領域16の周辺部であって、ソース領域16を囲むように、p+型のキャリアポケット(高濃度埋込層)25が形成されている。このp+型のキャリアポケット25は、例えばアクセプタのイオン注入法により形成することができる。キャリアポケット25は表面に生じるチャネル領域よりも下側の第2のウェル領域15b内に形成される。キャリアポケット25はチャネル領域にかからないように形成することが望ましい。

【0031】ウェル領域が空乏化された場合、アクセプタは負の電荷となる。上記したp+型のキャリアポケット25では、キャリアポケット25周辺部に比べてアクセプタ濃度(不純物濃度)を高くしているため、負電荷が多くなる。このため、光発生電荷のうち光発生ホールに対して、キャリアポケット25周辺部のポテンシャルに比べてキャリアポケット25のポテンシャルが低くなる。これにより、光発生ホールをこのキャリアポケット25に集めることができる。

【0032】図7(b)に光発生ホールがキャリアポケット25に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、MOSトランジスタ112の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。ところで、上記したキャリアの掃出期間においては、ゲート電極19に高い電圧を印加し、それによって生じる電界によって第2のウェル領域15bに残るキャリアを基板11側に掃き出している。この場合、印加した電圧によって、チャネル領域のチャネルドープ層15cと第2のウェル領域15bとの境界面から空乏層が第2のウェル領域15bに広がり、また、p型の基板11とエピタキシャル層12との境界面から空乏層が第2のウェル領域15bの下エピタキシャル層12に広がる。従って、ゲート電極19に印加した電圧による電界の及ぶ範囲は、主として第2のウェル領域15b及び第2のウェル領域15bの下エピタキシャル層12にわたる。

【0033】次に、図4を参照して上記の構造の単位画素を用いたMOS型イメージセンサの全体の構成について説明する。図4は、本発明の実施の形態におけるMOS型イメージセンサの回路構成図を示す。図4に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素101が列方向及び行方向にマトリクス状に配列されている。

(6)

9

【0034】また、垂直走査信号（VSCAN）の駆動走査回路102及びドレイン電圧（VDD）の駆動走査回路103が画素領域を挟んでその左右に配置されている。垂直走査信号供給線21a、21bは垂直走査信号（VSCAN）の駆動走査回路102から行毎に一つずつでている。各垂直走査信号供給線21a、21bは行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のゲートに接続されている。

【0035】また、ドレイン電圧供給線（VDD供給線）22a、22bはドレイン電圧（VDD）の駆動走査回路103から行毎に一つずつでている。各ドレイン電圧供給線（VDD供給線）22a、22bは、行方向に並ぶ全ての単位画素101内の光信号検出用MOSトランジスタ112のドレインに接続されている。また、列毎に異なる垂直出力線20a、20bが設けられて、各垂直出力線20a、20bは列方向に並ぶ全ての単位画素101内のMOSトランジスタ112のソースにそれぞれ接続されている。

【0036】さらに、MOSトランジスタ112のソース領域は列毎に垂直出力線20a、20bを通して信号出力回路105と接続している。垂直走査信号（VSCAN）及び水平走査信号（HSCAN）により、逐次、各単位画素101のMOSトランジスタ112を駆動して光の入射量に比例した、残留電荷によるノイズ成分を含まない映像信号（Vout）が信号出力回路105から読み出される。

【0037】上記の信号出力回路105の詳細を図5（a）、（b）に示す。図5（a）では、ソース領域は上記の信号出力回路105内の入力キャパシタからなるラインメモリと直結している。ソース領域に定電流源などの能動負荷を接続していないことを特徴としている。図5（a）に示すように、光信号検出用MOSトランジスタ112のソース領域と第1のスイッチCK1を介して接続した第1のラインメモリLmsは光信号電圧と光発生電荷の蓄積前の残留電荷による雑音電圧とを含むソース電位を記憶し、同じく第2のスイッチCK2を介してソース領域と接続した第2のラインメモリLmnは上記雑音電圧のみを含むソース電位を記憶する。そして、記憶された各ソース電位はそれぞれ第3のスイッチCK3及び第4のスイッチCK4を介して演算増幅回路31に入力され、差電圧である光信号電圧が水平出力線26を通して映像信号出力端子107に出力される。演算増幅回路31は、メモリキャパシタLms、Lmnと組み合わせてスイッチトキャパシタ回路を構成するような回路構成を有する。

【0038】図5（b）は、他の信号出力回路105の例を示す回路図である。図5（a）では、信号出力回路105内でソース領域16に入力キャパシタからなるラインメモリLms、Lmnを直結しているが、図5（b）に示すように、ラインメモリに並列に定電流源（負荷回

10

路）106を接続し、ソースフォロワ接続としてもよい。

【0039】なお、上記信号出力回路105内のスイッチ類（CK1～CK6）は、該当配線路を開閉することを機能的に示すため図5のような形で模式的に示しているが、実際にはこの実施の形態に説明した回路動作が適切に行われるようにMOSトランジスタ等を単独で又は組み合わせて用いる。図1は、本発明に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。この場合、光信号検出用MOSトランジスタ112としてp型の第1及び第2のウェル領域15a、15bを備えたnMOSを用いる。また、信号出力回路105は図5（a）に示すものを用いる。

【0040】次に、図1にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、前記したように、蓄積期間―読出期間―掃出期間（初期化期間）からなる一連の過程を繰り返す。ここでは、都合上、蓄積期間から説明を始める。まず、蓄積期間において、光信号検出用MOSトランジスタ112のドレイン領域17a、17b及びソース領域16に電圧（Vpd、Vps）、例えば約3.3V（VDD）を印加するとともに、ゲート電極19を接地（Vpg）する。

【0041】このとき、第1のウェル領域15a、第2のウェル領域15b及びエピタキシャル層12内が空乏化する。そして、第1及び第2のウェル領域15a、15b内には高濃度埋込層25とその周辺部のウェル領域15a、15bとの間の不純物濃度の差により高濃度埋込層25に向かう電界が生じる。続いて、受光ダイオード111に光を照射して、電子―正孔対（光発生電荷）を発生させる。

【0042】上記電界によりこの光発生電荷のうち光発生ホールが光信号検出用MOSトランジスタ112のゲート領域15bに注入され、かつキャリアポケット25に蓄積される。これにより、チャネル領域からその下のゲート領域15bに広がる空乏層幅が制限されるとともに、そのソース領域16付近のポテンシャルが変調されて、MOSトランジスタ112の閾値電圧が変化する。

【0043】このとき、キャリアポケット25内でアクセプタ濃度のばらつきがあった場合、以下で説明する初期化期間においてすべての光発生電荷を掃き出しているとすると、図3（a）に示すように、アクセプタ濃度に対応してポテンシャルの高低が生じており、正孔の注入量が少ないうちはポテンシャルの低いところに偏って蓄積されるため、光信号を読み出したときに画像の黒つぶれが生じる。一方、この発明の実施の形態では、図3

（b）に示すように、以下で説明する初期化期間においてキャリアポケット25には所謂黒つぶれが発生しないだけの量の光発生電荷が蓄積されており、キャリアポケット25内のポテンシャル分布が平坦化されている。従

50

(7)

11

って、このような状態からそれ以上に光発生電荷を蓄積させた場合、閾値電圧の変調はチャネル領域全域にわたって一様になる。このため、光信号を読み出したときに所謂画像の黒つぶれの発生を防止することができる。

【0044】次に、蓄積期間の終了時の期間において、VSCAN駆動走査回路102の出力(V_{pg})を接地電位(MOSTランジスタ112のゲート電位となる)のまま保持するとともに、ソース電位(V_{ps})を接地電位とする。同時に、信号出力回路105の第1のスイッチCK1を閉じる。一方、VDD駆動走査線22aは凡そ3.3Vに保たれている。

【0045】なお、蓄積期間において、前の期間に第1及び第2のラインメモリLms、Lmnに記憶されたソース電位の差の電圧が映像信号出力端子107に出力されるが、この動作に関してはブランキング期間の後に説明することにする。次に、読出期間において、VSCAN駆動走査回路102の出力(V_{pg})を凡そ2.2V(MOSTランジスタ112のゲート電位となる)とする。一方、VDD駆動走査線22aは凡そ3.3V(MOSTランジスタ112のドレイン電位となる)に保た

れている。

【0046】即ち、ゲート電極19にMOSTランジスタ112が飽和状態で動作しう約2〜3Vのゲート電圧を印加し、ドレイン領域17a、17bにMOSTランジスタ112が動作しう約3.3Vの電圧VDDを印加する。これにより、キャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSTランジスタ112のドレイン電圧—電流特性は、図8に示すように、飽和特性を示す。

【0047】これにより、第1のラインメモリLmsが充電されていく。そして、充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくなったところでドレイン電流が流れなくなる。これにより、充電は完了し、第1のラインメモリLmsに光変調された閾値電圧(ソース電位 V_{outs})が記憶される。この閾値電圧には光発生電荷のみによる電圧の他に光発生電荷によらない電荷に起因した電圧(即ち雑音電圧(V_{outn})と称する。)も含んでいる。

【0048】読出期間の終了後、第1のスイッチCK1を開放する。次に、初期化動作に移る。初期化動作においてはキャリアポケット25内、第1及び第2のウェル領域15a、15b内に残る電荷を排出する。即ち、ドレインの電位を約5Vとし、かつゲート電極19の電位を約5Vとする。これにより、チャネル領域に電子が誘起され、ソース領域はチャネル領域を通してドレイン領域と繋がるため、ソースの電位も約5Vとなる。

【0049】このとき、ゲート電極19に印加した電圧は第2のウェル領域15b及び第2のウェル領域15bの下のエピタキシャル層12にかかる。図2(a)のI

12

—I線に沿う深さ方向のポテンシャル分布を図2(b)の実線で示し、リング状のキャリアポケット25に沿うキャリアポケット25内のポテンシャル分布を図3

(a)に示す。ゲート電極19に図1の実線で示すような適当な電圧を印加することにより、図2(b)の実線で示すように、キャリアポケット25の電位障壁を浅くするものの適当な深さにして、大部分の光発生電荷を排出し、所定量の光発生電荷だけを残すようにしている。これにより、図3(b)に示すように、蓄積前のキャリアポケット25には所謂画像の黒つぶれが発生しないだけの量の光発生電荷を蓄積させておくことができるとともに、キャリアポケット25内のポテンシャル分布が平坦化される。

【0050】なお、比較のため、キャリアポケット25内のキャリアを残さないで完全に排出しようとした場合の、図2(a)のI—I線に沿う深さ方向のポテンシャル分布を図2(b)の点線で示し、その結果キャリアポケット25が空になったときのリング状のキャリアポケット25に沿うキャリアポケット25内のポテンシャル分布を図3(a)に示す。ゲート電極19に図1の点線で示すようなより高い電圧を印加することにより、図2(b)の点線で示すように、高濃度埋込層25内のポテンシャルの井戸が消失し、光発生電荷が完全に排出されている。この場合、蓄積期間において、図3(c)に示すように、キャリアポケット25内にポテンシャルの偏りが生じているため、光発生電荷がポテンシャルの低いところから順に偏在して蓄積される。

【0051】上記のように高濃度埋込層25に蓄積された光発生電荷を所定量だけ残して排出した後、蓄積期間の前のブランキング期間の初期の期間において、VSCAN駆動走査回路102の出力(V_{pg})を接地電位(MOSTランジスタ112のゲート電位となる)とし、同時にVDD駆動走査回路103の出力(V_{pd})を3.3V(MOSTランジスタ112のドレイン電位となる)とする。また、第3のスイッチCK3を閉じて、絶縁ゲート型電界効果トランジスタ112のソース領域に第2のラインメモリLmnを接続する。

【0052】次に、ブランキング期間の初期の期間の終了後の期間において、VSCAN駆動走査回路102の出力(V_{pg})を凡そ2.2V(MOSTランジスタ112のゲート電位となる)とする。一方、VDD駆動走査線22aは凡そ3.3Vに保たれている。これにより、キャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSTランジスタ112のソースにドレイン電流が流れて、ドレイン電圧—電流特性は、図8に示すように、閾値電圧に従って飽和特性を示す。これにより、第2のラインメモリLmnが充電されていく。充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくな

(8)

13

たところでドレイン電流が流れなくなる。これにより、充電は完了し、第2のラインメモリLmnに光発生電荷によらない残留電荷に起因した雑音電圧(Voutn)が記憶される。

【0053】ブランキング期間の終了後、第2のスイッチCK2を開放する。次いで、蓄積期間に戻るが、このときに蓄積動作を行うとともに、前の期間に第1及び第2のラインメモリLms、Lmnに記憶されているソース電位Vouts、Voutnの差の電圧を出力する動作を行う。このようにして、照射射量に比例した映像信号(Vout = Vouts - Voutn)を取り出すことができる。

【0054】以上のように、この発明の実施の形態によれば、初期化期間において、図2(b)の実線で示すように、ゲート電極19に適当な電圧を印加することによりキャリアポケット25の電位障壁を浅くするものの適当な深さにして、大部分の光発生電荷を排出し、所定量の光発生電荷だけを残すようにしている。これにより、蓄積前のキャリアポケット25には所謂画像の黒つぶれが発生しないだけの電荷量を蓄積させておくことができるとともに、キャリアポケット25内のポテンシャル分布が平坦化される。従って、このような状態からそれ以上

に光発生電荷を蓄積させた場合、閾値電圧の変調はチャネル領域全域にわたって一様になる。従って、光信号を読み出したときに所謂画像の黒つぶれを防止することができる。

【0055】さらに、蓄積動作-読出動作-掃出動作(初期化動作)の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0056】例えば、上記の実施の形態では、初期化期間において、所定量の光発生電荷を残して大部分の光発生電荷を排出するための適当な電圧として5Vを印加しているが、この電圧はゲート絶縁膜18の厚さやキャリアポケット25の濃度等、素子パラメータによって異なってくることはいうまでもない。また、p型の基板11上のn型のエピタキシャル層12内に第1及び第2のウェル領域15a、15bを形成しているが、n型のエピタキシャル層12の代わりに、p型のエピタキシャル層にn型不純物を導入してn型ウェル層を形成し、このn型ウェル層内に第1及び第2のウェル領域15a、15bを形成してもよい。

【0057】さらに、この発明が適用される固体撮像素子の構造として種々の変形例が考えられるが、他の構造はどうであれ、受光ダイオードと光信号検出用のMOSトランジスタとが隣接して単位画素を構成し、かつMO

14

Sトランジスタのチャネル領域下のp型のウェル領域内であってソース領域の近傍に高濃度埋込層(キャリアポケット)が設けられていればよい。

【0058】さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0059】

【発明の効果】以上のように、本発明によれば、初期化期間において、ゲート電極に適当な電圧を印加することにより高濃度埋込層の電位障壁を浅くするものの適当な深さにして、大部分の光発生電荷を排出し、所定量の光発生電荷だけを残すようにしている。

【0060】これにより、蓄積前の高濃度埋込層には所謂黒つぶれが発生しないだけの電荷量を蓄積させておくことができるとともに、高濃度埋込層内のポテンシャル分布を平坦化することができる。従って、このような状態からそれ以上に光発生電荷を蓄積させた場合、閾値電圧の変調がチャネル領域全域にわたって一様になり、所謂画像の黒つぶれを防止することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る固体撮像装置の駆動方法について示すタイミングチャートである。

【図2】(a)は、本発明の実施の形態に係る固体撮像装置の駆動方法を説明するための素子断面図であり、

(b)は、本発明の実施の形態に係る固体撮像装置の駆動方法の初期化期間における、光検出用MOSトランジスタのキャリアポケットを通る深さ方向、即ち(a)のI-I線に沿うポテンシャル分布を示す図である。

【図3】(a)は、本発明の実施の形態に係る固体撮像装置の駆動方法の初期化期間における、光検出用MOSトランジスタのキャリアポケットに沿うキャリアポケット内のアクセプタ濃度分布及び対応するポテンシャル分布を示す図であり、(b)は同じくキャリアポケット内に適量の正孔を蓄積させた場合におけるキャリアポケット内のポテンシャル分布を示す図であり、(c)は比較例に係る、キャリアポケットへの正孔の蓄積量に従ってキャリアポケット内のポテンシャル分布が変化する様子を示す図である。

【図4】図1の駆動方法に用いられる固体撮像装置の全体の回路構成を示す図である。

【図5】(a)、(b)は、それぞれ図4の固体撮像装置の信号出力回路の詳細構成を示す回路図である。

【図6】本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図7】(a)は、本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子の構

50

(9)

15

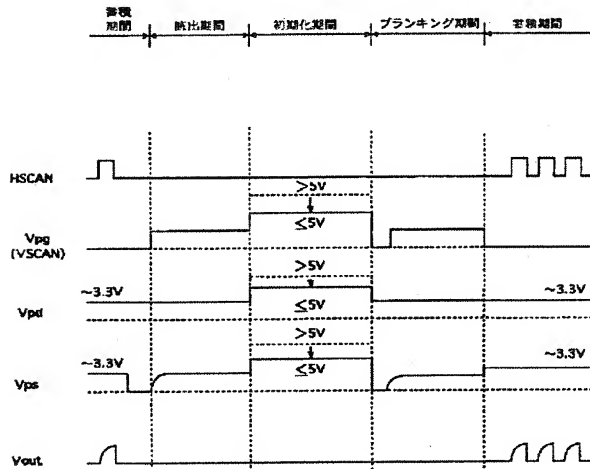
造を示す、図6のII-II線に沿う断面図である。(b)は、光発生ホールがキャリアポケットに蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャルの様子を示す図である。

【図8】本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の光信号検出用MOSトランジスタのドレイン電流-電圧特性を示すグラフである。

【符号の説明】

- 15 a 第1のウェル領域
- 15 b 第2のウェル領域
- 15 c チャネルドープ層
- 16 ソース領域
- 17 不純物領域
- 17 a 低濃度のドレイン領域
- 17 b 高濃度のドレイン領域 (コンタクト層)
- 18 ゲート絶縁膜
- 19 ゲート電極
- 20 a、20 b 垂直出力線
- 21 a、21 b VSCAN供給線
- 22 a、22 b VDD供給線
- 25 キャリアポケット (高濃度埋込層)

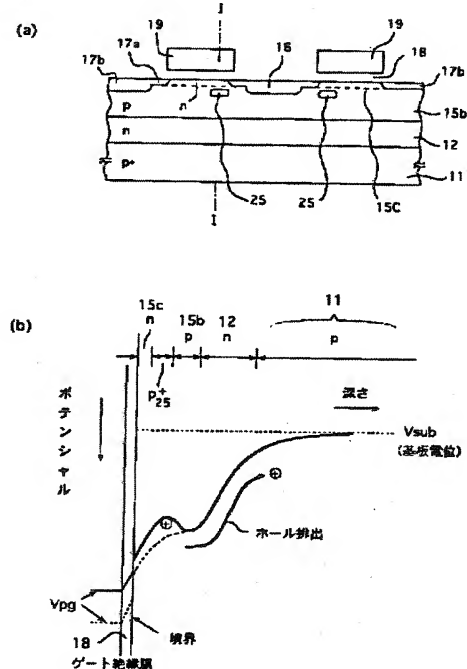
【図1】



16

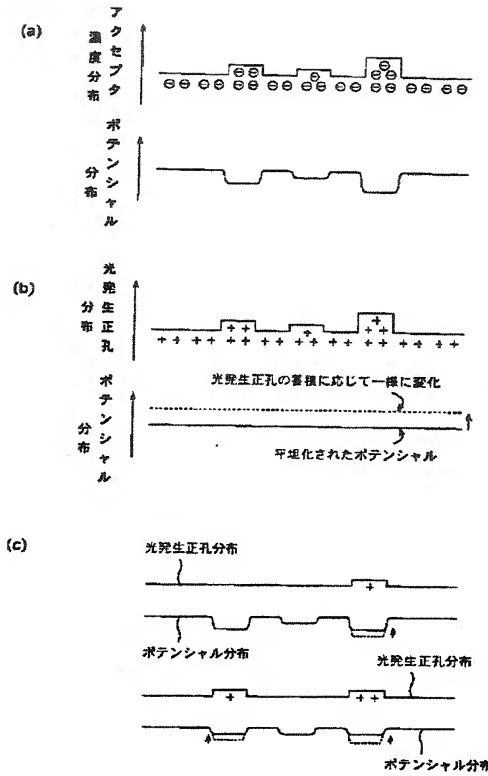
- 26 水平出力線
- 27 a、27 b HSCAN供給線
- 31 演算増幅回路
- 101 単位画素
- 102 VSCAN駆動走査回路
- 103 VDD駆動走査回路
- 104 HSCAN入力走査回路
- 105 信号出力回路
- 107 映像信号出力端子
- 111 受光ダイオード
- 112 光信号検出用絶縁ゲート型電界効果トランジスタ (光信号検出用MOSトランジスタ)
- CK1 第1のスイッチ
- CK2 第2のスイッチ
- CK3 第3のスイッチ
- CK4 第4のスイッチ
- CK5 第5のスイッチ
- CK6 第6のスイッチ
- Lms 第1のラインメモリ
- 20 Lmn 第2のラインメモリ

【図2】

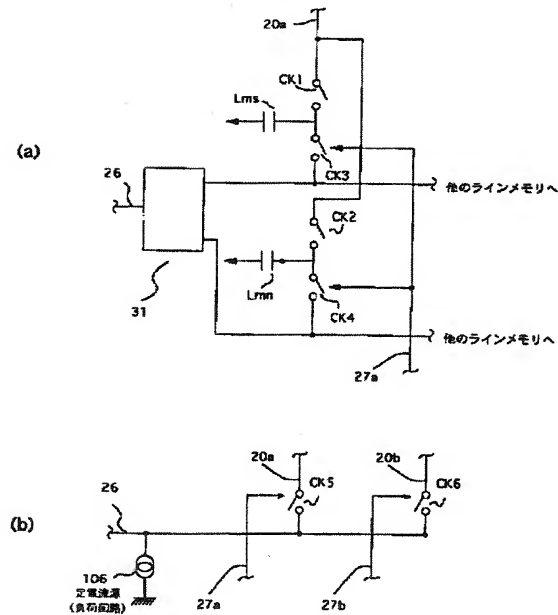


(10)

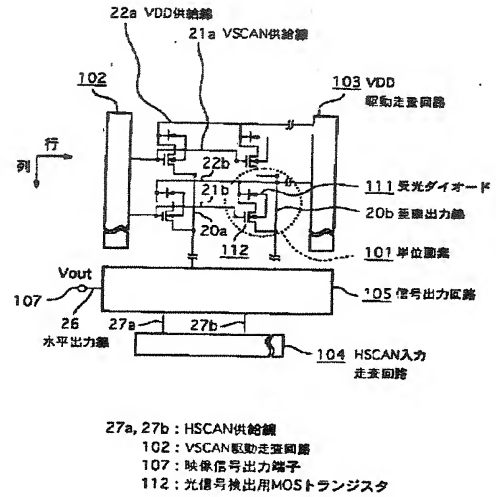
【図3】



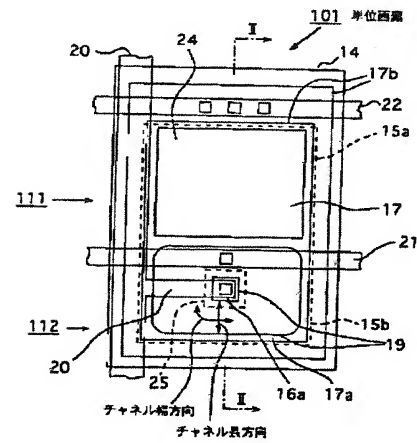
【図5】



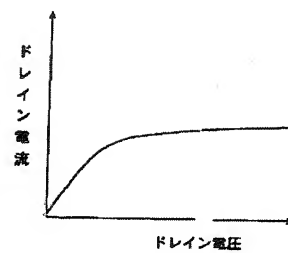
【図4】



【図6】

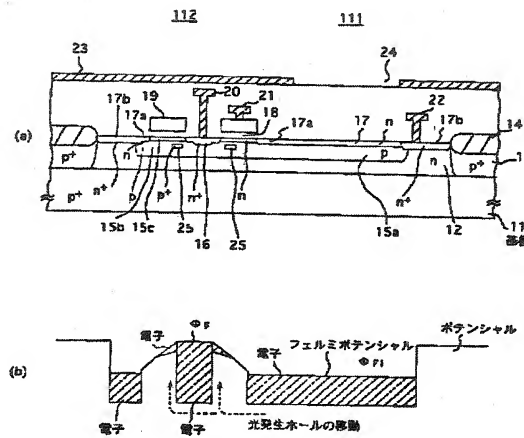


【図8】



(11)

【図7】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I
H O 1 L 31/10

テマコード* (参考)

A

F ターム (参考) 4M118 AA06 AA10 AB01 BA14 CA04
DA32 DD09 DD12 FA06 FA26
FA33
5C024 CX17 CX27 CX68 GX03 GY31
GZ20
5C051 AA01 BA03 DA06 DB01 DB06
DB08 DC03 DC07 DE02 DE03
5F049 MA15 MB02 NA20 NB05 RA02
RA06 UA11 UA16 UA20